

Circuit configuration for the protection of electronic circuits against a voltage surge.**Patent number:** EP0418896**Publication date:** 1991-03-27**Inventor:** LACHMANN ULRICH ING (DE); ZIETEMANN HEINZ
DIPL-PHYS (DE); SCHERLEITNER ARMIN DIPL-PHYS
(DE)**Applicant:** SIEMENS AG (DE)**Classification:**

- international: H01L27/02

- european: H01L27/02B4

Application number: EP19900118135 19900920**Priority number(s):** DE19893931704 19890922**Also published as:**

JP3142960 (A)



EP0418896 (A)

Cited documents:

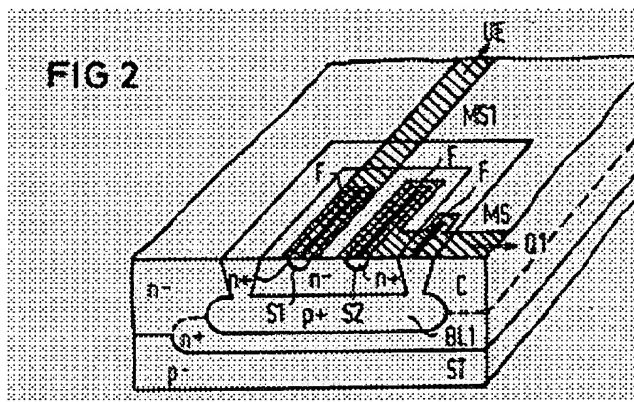
JP60103658



JP57111058

Abstract of EP0418896

A circuit configuration which is constructed with an n-doped buried layer using integrated SBC technique, which has a voltage-limiting device, in particular a zener diode, and a series resistance, and in which the structure forming the resistance is enclosed in trough fashion by a p-doped buried layer.



Data supplied from the **esp@cenet** database - Worldwide

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) Veröffentlichungsnummer: **0 418 896 A2**

(12)

EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: 90118135.4

(51) Int. Cl.⁵: **H01L 27/02**

(22) Anmeldetag: 20.09.90

(30) Priorität: 22.09.89 DE 3931704

(43) Veröffentlichungstag der Anmeldung:
27.03.91 Patentblatt 91/13

(84) Benannte Vertragsstaaten:
BE DE FR GB

(71) Anmelder: Siemens Aktiengesellschaft
Wittelsbacherplatz 2
W-8000 München 2(DE)

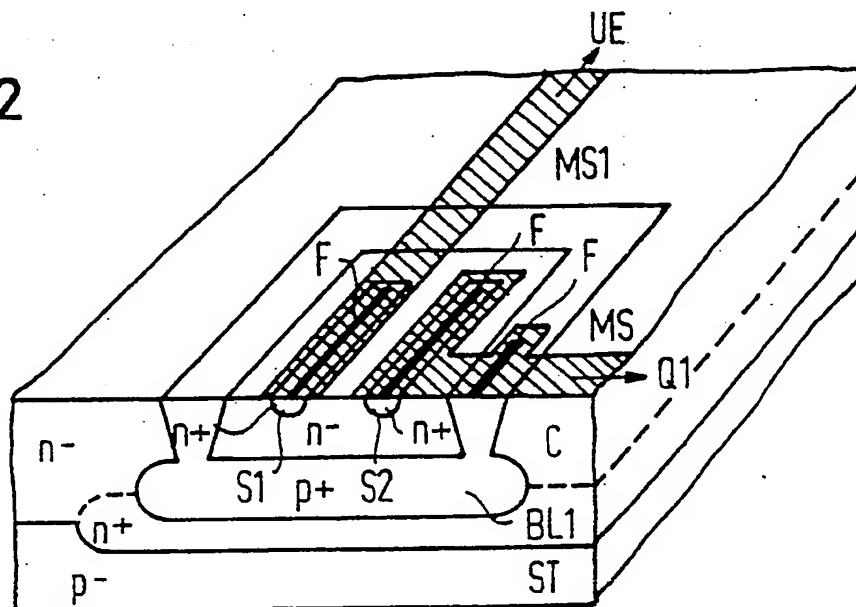
(72) Erfinder: Lachmann, Ulrich, Ing.
Zirlerstrasse 11
W-8000 München 70(DE)
Erfinder: Scherleitner, Armin, Dipl.-Phys.
Werinherstrasse 65
W-8000 München 90(DE)
Erfinder: Zietemann, Heinz, Dipl.-Phys.
Adolf-Bayer-Damm 24
W-8000 München 83(DE)

(54) Schaltungsanordnung zum Schutz elektronischer Schaltungen vor Überspannung.

(57) Eine in integrierter SBC-Technik mit n-dotierter Buried-Layer-Schicht ausgeführte Schaltungsanordnung mit einer spannungsbegrenzenden Anordnung, insbesondere einer Zenerdiode, und mit vorgeschal-

tetem Widerstand, bei der die den Widerstand bildende Struktur von einer p-dotierten Buried-Layer-Schicht wannenförmig eingeschlossen ist.

FIG 2



EP 0 418 896 A2

Oxidschicht in Kontakt stehen. Dabei verbindet die Metallisierungsschicht MS1 die Struktur S1 mit einem mit der Eingangsspannung UE beaufschlagten Anschluß und die Metallisierungsschicht MS2 die Struktur S2 und die Buried-Layer-Schicht BL2 mit einem in Ausgestaltung der Erfindung dem Widerstand R2 nachgeschalteten, als Diode in Durchlaßrichtung betriebenen Transistor Q2.

Damit erweitert sich die bekannte Anordnung gemäß FIG 1 zum einen um den zwischen Widerstand R2 und dem Kollektor des Transistors Q1 geschalteten Transistor Q2 und zum anderen um eine in Reihe zum Widerstand RB und der Diode D1 liegende zweite Diode D2 in Sperrichtung sowie um eine zweite Zenerdiode Z2 in Durchlaßrichtung. Die begrenzte Eingangsspannung liegt als Spannung US da bei am Kollektor des Transistors Q1 an.

Die Erfindung ausgestaltung ist auch der Transistor Q2 in gleicher Weise wie der zweite Widerstand R2 mit einer p-dotierten Buried-Layer-Schicht umgeben, und somit auch mit einer höheren Eingangsspannung belastbar.

In FIG 3 der Zeichnung ist der Verlauf des Eingangsstromes E der Anordnung gemäß FIG 1 ohne Last in Abhängigkeit von der Eingangsspannung UE dargestellt. Bei positiver Eingangsspannung UE ist der Eingangsstrom E für Werte kleiner der Zenerspannung UZ1 der ersten Zenerdiode Z1 annähernd gleich Null, für Werte zwischen der Zenerspannung UZ1 und einer Isolationsspannung UI proportional zur Eingangsspannung UE in Abhängigkeit R1 und RB und darüber hinaus steil ansteigend. Für negative Werte der Eingangsspannung UE kleiner als die Zenerspannung UZ2 der zweiten Zenerdiode Z2 ist der Eingangsstrom E annähernd gleich Null und steigt darüber hinaus abhängig vom Bahnwiderstand RB proportional zur Eingangsspannung UE an.

Daraus läßt sich zum einen der Vorteil ableiten, daß der mit der Eingangsspannung UE beaufschlagte Anschluß der Schutzschaltung bis zu einem Wert belastet werden kann, der gleich der Zenerspannung UZ1 und der Isolationsspannung UI ist, weil das Epitaxiegebiet, das den zweiten Widerstand R2 enthält, zweifach vom Substrat ST isoliert ist. Der zulässige Eingangsspannungsbereich erhöht sich somit um die Isolationsspannung UI. Zum anderen ist der Vorteil erkennbar, daß eine Verpolbarkeit durch die zweite Zenerdiode Z2 und dem Transistor Q2 erreicht wird, und daß dabei negative Überspannungsspitzen über die Serienschaltung der ersten Diode D1, der zweiten Diode D2, der zweiten Zenerdiode Z2 und dem Widerstand RB abgeleitet werden. Damit wird auch eine Zerstörung des gegenüber Spannung empfindlichen Transistors Q2 verhindert.

Ansprüche

1. Schaltungsanordnung zum Schutz einer elektronischen Schaltung vor Überspannung mit einer spannungsbegrenzenden Anordnung (R1, Q1, Z1), insbesondere mit einer Zenerdiode (Z1), und einem vorgeschalteten Widerstand (R2),
dadurch gekennzeichnet, daß die Schaltungsanordnung in integrierter Standard-Buried-Collector-Technik mit n-dotierter Buried-Layer-Schicht ausgeführt ist und daß die den Widerstand (R2) bildende Struktur (S1, S2, C) von einer p-dotierten Buried-Layer-Schicht (BL2) wannenförmig eingeschlossen ist.
2. Schaltungsanordnung nach Anspruch 1, gekennzeichnet durch eine Diode (Q2) in Durchlaßrichtung zwischen Widerstand (R2) und spannungsbegrenzender Anordnung (R1, Q1, Z1) eine Diode (Q2) in Durchlaßrichtung.
3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß die die Diode (Q2) bildende Struktur ebenfalls von einer p-dotierten Buried-Layer-Schicht wannenförmig eingeschlossen ist.